

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-162895

⑬ Int.Cl.⁴
G 11 C 11/34

識別記号 庁内整理番号
1 0 1 8522-5B

⑭ 公開 昭和61年(1986)7月23日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 センスアンプ回路

⑯ 特 願 昭60-2760

⑰ 出 願 昭60(1985)1月11日

⑱ 発 明 者 杉 本 益 規 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

センスアンプ回路

2. 特許請求の範囲

ドレイン電極を第1の出力端子に接続しゲート電極を第2の出力端子に接続しソース電極を第1の接続点に接続した一導電型の第1のMISFETと、ドレイン電極を前記第2の出力端子に接続しゲート電極を前記第1の出力端子に接続しソース電極を前記第1の接続点に接続した一導電型の第2のMISFETと、ドレイン電極を前記第1の接続点に接続しゲート電極を第1のクロック端子に接続しソース電極を第1の電源に接続した一導電型の第3のMISFETと、ソース電極を第1の入力端子に接続しゲート電極を第2のクロック端子に接続しソース電極を前記第1の出力端子に接続した一導電型又は逆導電型の第4のMISFETと、ドレイン電極を第2の入力端子に接続しゲート電

極を前記第2のクロック端子に接続しソース電極を前記第2の出力端子に接続した前記第4のMISFETと同一導電型の第5のMISFETと、ドレイン電極を前記第1の出力端子に接続しゲート電極を第2の接続点に接続しソース電極を前記第1の接続点に接続した一導電型の第6のMISFETと、ドレイン電極を前記第2の出力端子に接続しゲート電極を第3の接続点に接続しソース電極を前記第1の接続点に接続した一導電型の第7のMISFETと、ドレイン電極を前記第2の接続点に接続しゲート電極を第3のクロック端子に接続しソース電極を前記第1の電源(又は前記第1の接続点)に接続した一導電型又は逆導電型の第8のMISFETと、ドレイン電極を前記第3の接続点に接続しゲート電極を前記第3のクロック端子に接続しソース電極を前記第1の電源(又は前記第1の接続点)に接続した前記第8のMISFETと同一導電型の第9のMISFETと、ドレイン電極を前記第1の出力端子に接続しゲート電極を前記第2の出力端子に接続しソース電極を第2の電源

特開昭61-162895 (2)

に接続した逆導電型の第10のMISFETと、ドレイン電極を前記第2の出力端子に接続しゲート電極を前記第1の出力端子に接続しソース電極を前記第2の電源に接続した逆導電型の第11のMISFETと、一端を前記第2の出力端子に接続し他端を前記第2の接続点に接続した第1の二端子負荷素子と、一端を前記第1の出力端子に接続し他端を前記第3の接続点に接続した第2の二端子負荷素子とを具備することを特徴とするセンスアンプ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はMISFET（絶縁ゲート型電界効果トランジスタ）により構成されるメモリ回路に適したセンスアンプ回路に関する。

〔従来技術〕

MISFETによるダイナミックメモリ回路において、メモリセルから読み出される微少な電位差を増幅するいわゆるセンスアンプ回路としては、

電位はほとんど変化せず、この結果入力端子15と16に加えられていた電位の差が増幅されて出力端子17と18に得られる。

〔従来技術の問題点〕

以上の増幅動作において、出力端子17と18は浮遊容量に充電された電荷のため、電位の変化は急速には起り得ず、ある程度の時間を要する。従って、接続点22の電位を急激に変化させるとMISFET 1と2の両方が導通状態になってしまい正しい増幅動作が期待できない。

このことを詳しく説明するために、仮に入力端子15に印加されていた電位の方が入力端子16に印加されている電位よりもVSSに近いとする。この状態でMISFET 4と5を遮断し、MISFET 3を導通させて接続点22の電位を次第にVSSに近づけていくと、まずMISFET 1が導通する。この結果出力端子17の電位がVSSに近づき、さらに接続点22の電位がVSSに近づいてもMISFET 2は遮断状態に保たれる。このようにしてやがて出力端子17の電位のみがVSSに達する。

フリップフロップ回路を基本とする回路が通常用いられる。そのような回路の一例を第3図に示す（例えば、日経エレクトロニクス1979年1月8日号110～133頁）。

第3図において、増幅動作をする直前においてはクロック端子19及びクロック端子20に印加されている電位により、MISFET 3は遮断状態にありMISFET 4と5は導通状態にある。従って、入力端子15と16に印加されている電位はそれぞれ出力端子17と18に伝えられ出力端子17と18に存在する浮遊容量を入力電位に充電している。

増幅時においては、まずクロック端子20の電位を変更しMISFET 4と5を遮断する。次に、クロック端子19の電位を変化しMISFET 3を導通させる。これによりMISFET 1と2がフリップフロップ回路を構成するようになり正帰還作用により、出力端子17と18のうち増幅動作をする直前に電源21の電位VSSに近かった方の端子が電位VSSにまで放電され、他方の出力端子の

しかしながら、接続点22の電位があまり急激に変化してしまい、出力端子17の電位の変化が追いつかないと、MISFET 2のゲート・ソース間電圧もMISFET 2の閾値電圧以上になり導通してしまふ。すると出力端子18の電位もVSSに向かって変化する。このため正しい増幅動作が期待できない。

以上の説明の通り、第3図に示す回路が正しく動作するためには、クロック端子19に印加する電圧波形を調整し接続点22の電位が充分ゆっくり変化するようにしなければならない。出力端子17と18の変化は浮遊容量が大きいほど遅く、従って接続点22の電位をゆっくり変化させなければならない。

一般に増幅に要する時間は短かいことが望まれ、そのためには出力端子17と18の浮遊容量を小さくすることが必要である。

しかしながら、増幅後の保持状態に於て、出力端子17と18の浮遊容量があまり小さいと、この端子にわずかの電流性雑音が加わっただけで電

特開昭61-162895(3)

位が大きく変化してしまい、その結果保持内容が破壊されてしまう。

以上のように従来用いられている回路では、増幅動作の高速化をはかるためには出力端子の浮遊容量を小さくしなければならない一方で、あまり小さくすると保持状態の雑音に対する抵抗力が弱くなるのであまり小さくできず、従って充分な高速化が達成できないという問題点があった。

〔発明の目的〕

本発明は、この点に鑑み、増幅動作を高速化しても、保持状態における雑音に対する抵抗力を低下させないところの、センスアンプ回路を提供することを目的とする。

〔発明の構成〕

本発明のセンスアンプ回路は、ドレイン電極を第1の出力端子に接続しゲート電極を第2の出力端子に接続しソース電極を第1の接続点に接続した一導電型の第1のMISFETと、ドレイン電極を前記第2の出力端子に接続しゲート電極を前記第1の出力端子に接続しソース電極を前記第1の

第1の電源（又は前記第1の接続点）に接続した一導電型又は逆導電型の第8のMISFETと、ドレイン電極を前記第3の接続点に接続しゲート電極を前記第3のクロック端子に接続しソース電極を前記第1の電源（又は前記第1の接続点）に接続した前記第8のMISFETと同一導電型の第9のMISFETと、ドレイン電極を前記第1の出力端子に接続しゲート電極を前記第2の出力端子に接続しソース電極を第2の電源に接続した逆導電型の第10のMISFETと、ドレイン電極を前記第2の出力端子に接続しゲート電極を前記第1の出力端子に接続しソース電極を前記第2の電源に接続した逆導電型の第11のMISFETと、一端を前記第2の出力端子に接続し他端を前記第2の接続点に接続した第1の二端子負荷素子と、一端を前記第1の出力端子に接続し他端を前記第3の接続点に接続した第2の二端子負荷素子とを具備することからなっている。

〔実施例〕

以下、本発明の実施例について図面を参照して

接続点に接続した一導電型の第2のMISFETと、ドレイン電極を前記第1の接続点に接続しゲート電極を第1のクロック端子に接続しソース電極を第1の電源に接続した一導電型の第3のMISFETと、ソース電極を第1の入力端子に接続しゲート電極を第2のクロック端子に接続しソース電極を前記第1の出力端子に接続した一導電型又は逆導電型の第4のMISFETと、ドレイン電極を第2の入力端子に接続しゲート電極を前記第2のクロック端子に接続しソース電極を前記第2の出力端子に接続した前記第4のMISFETと同一導電型の第5のMISFETと、ドレイン電極を前記第1の出力端子に接続しゲート電極を第2の接続点に接続しソース電極を前記第1の接続点に接続した一導電型の第6のMISFETと、ドレイン電極を前記第2の出力端子に接続しゲート電極を第3の接続点に接続しソース電極を前記第1の接続点に接続した一導電型の第7のMISFETと、ドレイン電極を前記第2の接続点に接続しゲート電極を第3のクロック端子に接続しソース電極を前記

説明する。

第1図は本発明の一実施例を示す回路図である。

本実施例は、ドレイン電極を第1の出力端子17に接続しゲート電極を第2の出力端子18に接続しソース電極を第1の接続点22に接続したNチャンネル型の第1のMISFET 1と、ドレイン電極を出力端子18に接続しゲート電極を出力端子17に接続しソース電極を接続点22に接続したNチャンネル型の第2のMISFET 2と、ドレイン電極を接続点22に接続しゲート電極を第1のクロック端子19に接続しソース電極を第1の電源（電源電位VSS）21に接続したNチャンネル型の第3のMISFET 3と、ソース電極を第1の入力端子15に接続しゲート電極を第2のクロック端子20に接続しソース電極を出力端子17に接続したNチャンネル型の第4のMISFET 4と、ドレイン電極を第2の入力端子16に接続しゲート電極をクロック端子20に接続しソース電極を出力端子18に接続したNチャンネル型の第5のMISFET 5と、ドレイン電極を出力端子17に接続しゲート電極

特開昭61-162895 (4)

を第2の接続点23に接続しソース電極を接続点22に接続したNチャネル型の第6のMISFET 6と、ドレイン電極を出力端子18に接続しゲート電極を第3の接続点24に接続しソース電極を接続点22に接続したNチャネル型の第7のMISFET 7と、ドレイン電極を接続点23に接続しゲート電極を第3のクロック端子26に接続しソース電極を電源21に接続したNチャネル型の第8のMISFET 8と、ドレイン電極を接続点24に接続しゲート電極をクロック端子26に接続しソース電極を電源21に接続した第8のMISFET 8と、ドレイン電極を出力端子17に接続しゲート電極を出力端子18に接続しソース電極を第2の電源(電源電位VDD)25に接続したPチャネル型の第10のMISFET 11と、ドレイン電極を出力端子18に接続しゲート電極を出力端子17に接続しソース電極を電源25に接続したPチャネル型の第11のMISFET 12と、一端を出力端子18に接続し他端を接続点23に接続した第1の

それぞれ入力端子15と16の電位にほぼ等しい。

通常のダイナミックメモリの場合のように入力端子15と16に充分低い直流抵抗で入力を印加できない場合は、非動作時にMISFET 4と5を遮断しておいて、増幅動作をする直前にMISFET 4と5を導通させることでこの条件を満たすことができる。

増幅動作時には、クロック端子20及びクロック端子26の電位を変化させ、MISFET 4と5及びMISFET 8と9を遮断させる。その後クロック端子19の電位を変化させMISFET 3を導通させる。MISFET 6と7はゲート面積の大きなトランジスタであり、そのゲート容量のため接続点23と24の浮遊容量はかなり大きくまた抵抗13と14の抵抗値は非常に大きい。従って出力端子17と18の電位が変化しても、接続点23と24の電位は短時間にはほとんど影響を受けない。このため増幅動作時には、MISFET 6と7は遮断されたままであり動作に影響を与えない。従って増幅動作時にMISFET 1, 2

二端子負荷素子としての抵抗13と、一端を出力端子17に接続し他端を接続点24に接続した第2の二端子負荷素子としての抵抗14とを具備することからなっている。なお、MISFET 4, 5, 8, 9はPチャネル型であっても良い。

次に本実施例の動作を第2図に示すクロックのタイムチャートを参照して説明する。なお、各Nチャネル型のMISFETはクロックの電位が1レベルのとき導通し、0レベルのとき遮断する。

第1図においてMISFET 1, 2, 3, 4, 5は、従来例の第3図と同じ働きをする。増幅を開始する直前にクロック端子19及びクロック端子20に印加されているクロック1及びクロック2によりMISFET 3は遮断され、MISFET 4と5は導通している。又クロック端子26に印加されているクロック3によりMISFET 8と9は導通し、その結果MISFET 6と7は遮断している。この状態でMISFET 11と12のソース・ドレイン電極間は充分高抵抗であり、又抵抗13と14の抵抗値も充分高く、出力端子17と18の電位は

11, 12はフリップフロップ回路を構成し、その正帰還作用により増幅直前に出力端子17と18にあった電位差を増幅し、一方をVSSに他方をVDDにする。

次に保持状態における動作を説明する。説明の都合上仮に出力端子17がVSSに、出力端子18がVDDになったとする。このときMISFET 11は遮断し、MISFET 12は導通している。このため、接続点24の電位は変化せずMISFET 7は遮断したままであるのに対し、MISFET 12と抵抗13を通し電源25から電流が流れ込み接続点23の電位をVDDにまで変化せしめMISFET 8は導通する。出力端子17と18の電位が反対の場合は、MISFET 6は遮断したままでMISFET 7が導通する。この状態で出力端子17や18の電位が雑音により変化しても、MISFET 6と7の働きにより回路の状態は変化せず、出力端子17と18の電位もすぐもとの値に戻る。

すなわち、第1図の回路は、増幅動作時には出力端子17と18の浮遊容量のみが関係し、

特開昭61-162895 (5)

この浮遊容量を小さくすることで高速動作が得られる。一方保持状態においては、接続点23と24の大きな浮遊容量が効果を持つのでα線や雑音に対しても強い。

なお、本実施例ではMISFET 8及び9のソース電極は電源21に接続されているが、これは接続点22に接続されても全く同様の効果が得られる。

〔発明の効果〕

以上述べた如く、本発明によれば、高速動作と耐雑音性を両立させたセンスアップ回路を得ることができ、ダイナミックメモリ等のMIS集積回路において大きな効果がある。

4. 図面の簡単な説明

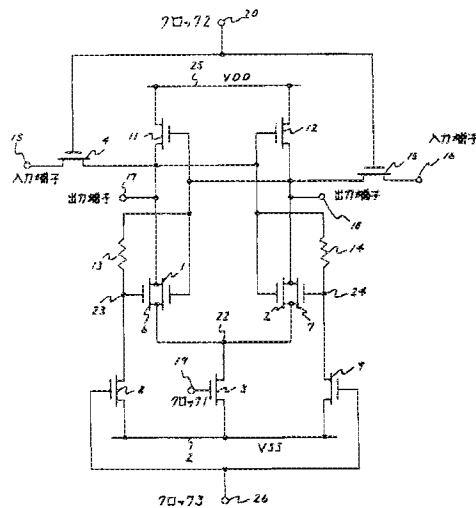
第1図は本発明の一実施例を示す回路図、第2図はそのクロックのタイミングチャート、第3図は従来例を示す回路図である。

1～9……Nチャネル型のMISFET、11、12……Pチャネル型のMISFET、13、14

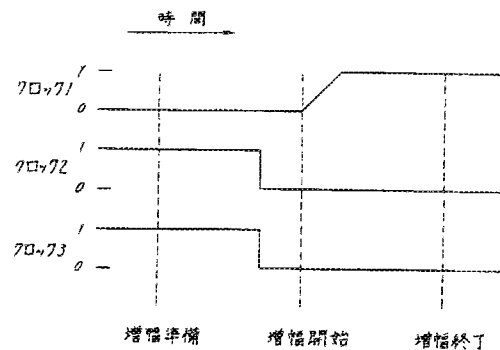
……抵抗、15、16……入力端子、17、18……出力端子、19、20、26……クロック端子、21、25……電源、22～24……接続点。

代理人 弁理士 内 原 啓

第 1 図



第 2 図



特開昭61-162895 (6)

第 3 図

